

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-299519

(43)Date of publication of application : 12.11.1993

(51)Int.Cl.

H01L 21/90
H01L 21/302

(21)Application number : 04-099305

(71)Applicant : HITACHI LTD

(22)Date of filing : 20.04.1992

(72)Inventor : OGUCHI SATOSHI

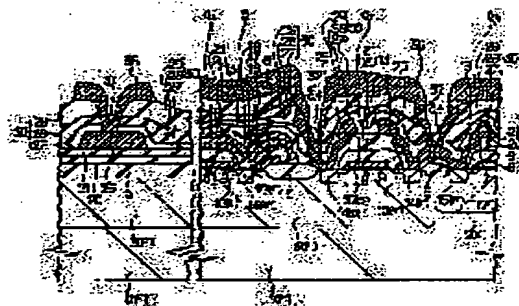
(54) MANUFACTURE OF SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PURPOSE: To increase the processing margin when connection holes are formed on an insulating film by a method wherein the film thickness of the insulating film to be etched is made uniform by connecting the upper layer wiring and the lower layer wiring through the connection hole formed on the insulating film located between them.

CONSTITUTION: The first wiring 25 of an indirect circumferential circuit part and the electrode of a memory cell array part are formed respectively, and an interlayer insulating film 30 is formed using a silicon nitride film 27, a SOG film 28 and a silicon oxide film 29 respectively.

Also, a recessed part 32 is formed by removing a part of the film thickness of the interlayer insulating film 30 on the electrode, and a connecting hole 34 is formed by removing the whole part of the interlayer insulating film 30 and the remaining part of the film thickness of the interlayer insulating film 30 on the electrode. Besides, a second layer of wiring 36 is formed. Consequently, as the depth of the connecting hole 34 of the interlayer insulating film 30 is made uniform, the processing margin when the connecting hole 34 is formed can be enlarged.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-299519

(43)公開日 平成5年(1993)11月12日

(51)Int.Cl.⁵

H 0 1 L 21/90
21/302

識別記号

庁内整理番号

B 7735-4M
J 8518-4M

F I

技術表示箇所

審査請求 未請求 請求項の数1(全 8 頁)

(21)出願番号 特願平4-99305

(22)出願日 平成4年(1992)4月20日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 小口 聡

東京都青梅市今井2326番地 株式会社日立

製作所デバイス開発センタ内

(74)代理人 弁理士 小川 勝男

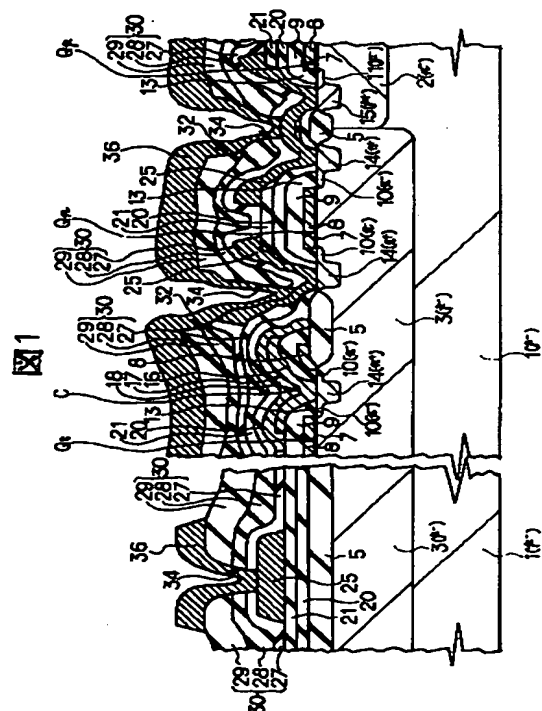
(54)【発明の名称】 半導体集積回路装置の製造方法

(57)【要約】 (修正有)

【目的】 半導体集積回路装置の製造方法において、歩留りを向上する。

【構成】 間接周辺回路部の第1層目の配線25、メモリセルアレイ部の電極の夫々を形成し、窒化珪素膜27、SOG膜28、酸化珪素膜29の夫々で層間絶縁膜30を形成し、電極上の層間絶縁膜30の膜厚の一部を除去して凹部32を形成し、第1層目の配線25上の層間絶縁膜30の全部、電極上の層間絶縁膜の膜厚の残部を除去して接続孔34を形成し、第2層目の配線36を形成する。

【効果】 SOG膜28の膜厚が厚い領域の層間絶縁膜30に凹部32を形成したことにより、層間絶縁膜30の接続孔34の深さが均等化されるので、接続孔34を形成する際の加工マージンを拡大できる。



(2)

【特許請求の範囲】

【請求項1】 基板上の第1領域、該第1領域より高さが低い第2領域の夫々の領域に、第1層目の第1配線、第2配線の夫々を形成する工程と、該第1配線及び第2配線上に、第2領域の膜厚が第1領域より厚い絶縁膜を形成する工程と、前記第2配線上の絶縁膜の膜厚の一部を等方性エッチングで除去する工程と、前記第1配線上の絶縁膜の全部、前記第2配線上の絶縁膜の残部を異方性エッチングで除去し、前記第1配線、第2配線の夫々の表面を露出する接続孔を形成する工程と、前記第1配線に絶縁膜の接続孔を通して接続される第2層目の第3配線、前記第2配線に絶縁膜の接続孔を通して接続される第2層目の第4配線の夫々を、前記絶縁膜上に形成する工程とを備えたことを特徴とする半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体集積回路装置の製造方法に関し、特に、上層の配線と下層の配線とを、両者間の絶縁膜に形成された接続孔を通して接続する半導体集積回路装置の製造方法に適用して有効な技術に関するものである。

【0002】

【従来の技術】2層配線構造を採用する半導体集積回路装置が使用されている。この種の半導体集積回路装置においては、第2層目の配線の被覆率を向上するために、第2層目の配線の下地の層間絶縁膜の表面を平坦化する必要がある。この第2層目の配線は、層間絶縁膜に形成された接続孔を通して、第1層目の配線に接続される。

【0003】以下に、層間絶縁膜の表面を平坦化するための一手法を説明する。

【0004】まず、第1層目の配線を形成した後、酸化珪素膜をCVD法で形成する。この酸化珪素膜の下地には、前記第1層目の配線及び素子が形成されているため、この酸化珪素膜の表面には、これらの配線及び素子の表面形状に対応した段差が形成される。次に、この酸化珪素膜の上層に、SOG (Spin On Glass) を塗布する。このSOG膜は、前記酸化珪素膜の段差内を埋込む。次に、フォトリソ膜を塗布する。次に、これらのフォトリソ膜及びSOG膜の夫々を、異方性エッチングで均等にエッチング (エッチングバック) することにより、SOG膜の表面が平面化される。この方法によれば、酸化珪素膜とSOG膜の積層膜で構成される層間絶縁膜の表面を平坦化できる。

【0005】

【発明が解決しようとする課題】しかしながら、本発明者は、前記従来技術を検討した結果、以下のような問題点を見出した。

【0006】前記層間絶縁膜を構成するSOG膜は、酸化珪素膜の表面段差が大きい領域では厚く、酸化珪素膜

2

の表面段差が小さい領域では薄く形成されているので、SOG膜の膜厚が厚い領域、薄い領域の夫々の領域に接続孔を形成した場合には、接続孔の深さがSOG膜の膜厚によって異なってしまう。

【0007】夫々深さが異なる接続孔を、同一のエッチング工程で層間絶縁膜に形成した場合には、加工マージンが低下するという問題がある。つまり、接続孔の深さが浅い第1の接続孔内で第1層目の配線の表面が露出した後、接続孔の深さが深い第2の接続孔内で第1層目の配線の表面が露出するまで、第1の接続孔内で露出する第1層目の配線の表面がエッチャントにさらされるので、加工マージンが低下する。このように、層間絶縁膜に接続孔を形成するためのエッチング工程で加工マージンが低下した場合には、半導体集積回路装置の歩留りが低下するという問題がある。

【0008】本発明の目的は、半導体集積回路装置の製造方法において、歩留りを向上することが可能な技術を提供することにある。

【0009】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかになるであろう。

【0010】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

【0011】基板上の第1領域、該第1領域より高さが低い第2領域の夫々の領域に、第1層目の第1配線、第2配線の夫々を形成する工程と、該第1配線及び第2配線上に、第2領域の膜厚が第1領域より厚い絶縁膜を形成する工程と、前記第2配線上の絶縁膜の膜厚の一部を等方性エッチングで除去する工程と、前記第1配線上の絶縁膜の全部、前記第2配線上の絶縁膜の残部を異方性エッチングで除去し、前記第1配線、第2配線の夫々の表面を露出する接続孔を形成する工程と、前記第1配線に絶縁膜の接続孔を通して接続される第2層目の第3配線、前記第2配線に絶縁膜の接続孔を通して接続される第2層目の第4配線の夫々を、前記絶縁膜上に形成する工程とを備える。

【0012】

【作用】前述した手段によれば、第2配線上の絶縁膜の膜厚の一部を等方性エッチングで除去したことにより、第2配線上の絶縁膜の残部の膜厚を、第1配線上の絶縁膜の膜厚に近づけることができる。従って、第1配線上の絶縁膜の全部、第2配線上の絶縁膜の残部を異方性エッチング除去し、第1配線、第2配線の夫々を表面を露出する接続孔を形成する工程でエッチングする絶縁膜の膜厚が均等化されるので、絶縁膜に接続孔を形成する際の加工マージンを拡大できる。絶縁膜に接続孔を形成する際の加工マージンを拡大できることにより、半導体集積回路装置の製造方法において、歩留りを向上できる。

(3)

3

【0013】更に、第2配線上の絶縁膜の膜厚の一部を等方性エッチングで除去したことにより、この第2配線の表面を露出する接続孔の端部の段差が低減されるので、第2層目の第4配線の被覆率を向上できる。これにより、半導体集積回路装置の歩留りを向上できる。

【0014】

【実施例】以下、本発明の実施例を図面を用いて具体的に説明する。なお、実施例を説明するための全図において、同一機能を有するものは、同一符号を付け、その繰り返しの説明は省略する。

【0015】本発明の実施例のDRAMを有する半導体集積回路装置の構成を、図1（要部断面図）を用いて説明する。なお、図1では、メモリセルアレイ部及び直接周辺回路部を中央及び右側に、間接周辺回路部を左側に示す。

【0016】図1に示すように、前記半導体集積回路装置は、p-型半導体基板1を主体に構成されている。このp-型半導体基板1は、例えば、単結晶珪素で構成されている。このp-型半導体基板1の主面部には、n-型ウェル領域2及びp-型ウェル領域3の夫々が設けられている。

【0017】前記n-型ウェル領域2及びp-型ウェル領域3の夫々の非活性領域の主面部には、素子間分離（フィールド）絶縁膜5が設けられている。この素子間分離絶縁膜5は、例えば、酸化珪素膜で構成されている。この素子間分離絶縁膜5は、例えば、500nm程度の膜厚で構成されている。

【0018】同図1の中央に示すように、メモリセルアレイ部には、転送用MISFETQ_t及び容量素子Cの夫々が設けられている。前記DRAMのメモリセルは、前記転送用MISFETQ_tと容量素子Cの直列回路で構成されている。容量素子Cは、情報としての電荷を蓄積する。

【0019】前記転送用MISFETQ_tは、メモリセルアレイ部において、前記p-型ウェル領域3の主面部に設けられている。この転送用MISFETQ_tは、主に、ゲート絶縁膜7、このゲート絶縁膜7上に設けられたゲート電極8、ソース領域及びドレイン領域の夫々から構成されている。前記ゲート絶縁膜7は、前記p-型ウェル領域3の主面に設けられている。このゲート絶縁膜7は、例えば、酸化珪素膜で構成されている。前記ゲート電極8は、例えば、多結晶珪素膜で構成されている。この多結晶珪素膜は第1層目のゲート材であり、例えば、250nm程度の膜厚で構成されている。この多結晶珪素膜中には、抵抗値を低減するために不純物が導入されている。このゲート電極8は、ワード線と一体に構成されている。このゲート電極8の上部には、絶縁膜9が設けられている。この絶縁膜9は、例えば、酸化珪素膜で構成されている。この酸化珪素膜は、例えば、400nm程度の膜厚で構成されている。また、このゲート電

4

極8の側部には、サイドウォールスペーサ13が設けられている。このサイドウォールスペーサ13は、例えば、酸化珪素膜で構成されている。前記ソース領域及びドレイン領域は、一対のn-型半導体領域10と一対のn+型半導体領域14の夫々から構成されている。前記一対のn-型半導体領域10は、前記ゲート電極8に対して自己整合で設けられている。前記一対のn+型半導体領域14は、前記サイドウォールスペーサ13に対して自己整合で設けられている。このソース領域及びドレイン領域の一方には、前記容量素子Cの下部電極16が接続されている。

【0020】前記容量素子Cは、主に、前記下部電極16、この下部電極16上に電荷蓄積用絶縁膜17を介して設けられた上部電極18の夫々から構成されている。つまり、この容量素子Cは、いわゆる、スタック構造で構成されている。前記下部電極16及び上部電極18の夫々は、例えば、多結晶珪素膜で構成されている。

【0021】前記下部電極16を構成する多結晶珪素膜は、第2層目のゲート材であり、200nm程度の膜厚で構成されている。前記上部電極18を構成する多結晶珪素膜は、第3層目のゲート材であり、200nm程度の膜厚で構成されている。これらの多結晶珪素膜中には、抵抗値を低減するために不純物が導入されている。前記電荷蓄積用絶縁膜17は、例えば、酸化珪素膜で構成されている。

【0022】同図1の右側に示すように、直接周辺回路部には、nチャネルMISFETQ_n及びpチャネルMISFETQ_pの夫々が設けられている。

【0023】前記nチャネルMISFETQ_nは、前記p-型ウェル領域3の主面部に設けられている。このnチャネルMISFETQ_nは、主に、ゲート絶縁膜7、このゲート絶縁膜7上に設けられたゲート電極8、ソース領域及びドレイン領域の夫々から構成されている。前記ゲート絶縁膜7は、前記p-型ウェル領域3の主面に設けられている。前記ゲート電極8の上部には、絶縁膜9が設けられている。このゲート電極8の側部には、サイドウォールスペーサ13が設けられている。前記ソース領域及びドレイン領域は、一対のn-型半導体領域10及び一対のn+型半導体領域14の夫々から構成されている。前記一対のn-型半導体領域10は、前記ゲート電極8に対して自己整合で設けられている。前記一対のn+型半導体領域14は、前記サイドウォールスペーサ13に対して自己整合で設けられている。前記一対のn+型半導体領域14には、層間絶縁膜20、21の夫々に形成された接続孔を通して、電極25が接続されている。この電極25の一方は、前記pチャネルMISFETQ_pのソース領域、ドレイン領域の一方に接続されている。つまり、これらのnチャネルMISFETQ_n、pチャネルMISFETQ_pの夫々は、相補型MISFET（CMOS）を構成する。

(4)

5

【0024】前記pチャネルMISFETQpは、前記n型ウェル領域2の主面部に設けられている。このpチャネルMISFETQpは、前記nチャネルMISFETQnと導電型が異なるだけなので、構成の説明は省略する。なお、このpチャネルMISFETQpのソース領域とドレイン領域は、一对のp-型半導体領域11及び一对のp+型半導体領域15で構成されている。

【0025】前記層間絶縁膜20は、例えば、酸化珪素膜で構成されている。この酸化珪素膜は、例えば、200nm程度の膜厚で構成されている。前記層間絶縁膜21は、例えば、BPSG (Boron Phospho Silicate Glass) 膜で構成されている。このBPSG膜は、例えば、300nm程度の膜厚で構成されている。これらの層間絶縁膜20、21は、前記転送用MISFETQt、容量素子C、nチャネルMISFETQn、pチャネルMISFETQpの夫々の上層に設けられている。従って、特に素子が設けられていない、同図1の左側に示す間接周辺回路部では、これらの層間絶縁膜20、21の夫々は、前記素子間分離絶縁膜5上に直接接して設けられている。

【0026】前記電極25は、前記層間絶縁膜21上に設けられている。この電極25は、第1層目の配線を構成する。この電極25は、例えば、アルミニウム膜または珪素と銅が添加されたアルミニウム合金膜で構成されている。この電極25は、例えば、500nm程度の膜厚で構成されている。

【0027】前記電極25の上層には、層間絶縁膜30が設けられている。この層間絶縁膜30は、下層側から、窒化珪素膜27、SOG膜28、酸化珪素膜29の夫々を積層した積層膜で構成されている。前記窒化珪素膜27は、例えば、200nm程度の膜厚で構成されている。前記SOG膜28は、例えば、200nm程度の膜厚で構成されている。前記酸化珪素膜29は、例えば、400nm程度の膜厚で構成されている。

【0028】前記nチャネルMISFETQp、pチャネルMISFETQpの夫々の電極25には、層間絶縁膜30に形成された接続孔34を通して、第2層目の配線36が接続されている。この配線36は、例えば、アルミニウム膜または珪素と銅が添加されたアルミニウム合金膜を主体に構成されている。この配線36は、例えば、800nm程度の膜厚で構成されている。また、この配線36を構成するアルミニウム膜またはアルミニウム合金膜の下層に、高融点金属珪化膜例えばモリブデンシリサイド (MoSi) 膜を設けても良い。また、前記接続孔34の端部には、凹部32が形成されている。この凹部32により、前記接続孔34の端部の段差は低減されている。

【0029】同図1の左側に示すように、前記間接周辺回路部において、前記層間絶縁膜21の上層には、第1層目の配線25が設けられている。この第1層目の配線

6

25には、前記層間絶縁膜30の接続孔34を通して、第2層目の配線36が接続されている。

【0030】次に、前記半導体集積回路装置の製造方法を図2乃至図6（前記図1に示す領域を工程の一部で示す要部断面図）を用いて説明する。

【0031】まず、p-型半導体基板1の主面部に、n-型ウェル領域2、p-型ウェル領域3の夫々を形成する。次に、これらのn-型ウェル領域2及びp-型ウェル領域3の夫々の非活性領域の主面を選択的に熱酸化し、素子間分離絶縁膜5を形成する。この後、前記n-型ウェル領域2及びp-型ウェル領域3の夫々の活性領域の主面を熱酸化し、ゲート絶縁膜7を形成する。

【0032】次に、第1層目のゲート材である多結晶珪素膜を形成する。次に、この多結晶珪素膜中に不純物を導入する。次に、この多結晶珪素膜をパターンニングし、転送用MISFETQt、nチャネルMISFETQn、pチャネルMISFETQpの夫々のゲート電極8を形成する。次に、このゲート電極8を不純物導入用のマスクとして、不純物を選択的に導入し、一对のn-型半導体領域10、一对のp-型半導体領域11の夫々を形成する。

【0033】次に、前記ゲート電極8の側部に、サイドウォールスペーサ13を形成する。この後、このサイドウォールスペーサ13を不純物導入用のマスクして、不純物を選択的に導入し、図2に示すように、一对のn+型半導体領域14及び一对のp+型半導体領域15の夫々を形成する。

【0034】次に、第2層目のゲート材である多結晶珪素膜を形成する。次に、この多結晶珪素膜中に不純物を導入する。次に、この多結晶珪素膜をパターンニングし、容量素子Cの下部電極16を形成する。次に、この下部電極16上に、電荷蓄積用絶縁膜17を構成する酸化珪素膜を形成する。次に、この酸化珪素膜の上層に、第3層目のゲート材である多結晶珪素膜を形成する。次に、この多結晶珪素膜中に不純物を導入する。この後、この多結晶珪素膜及び前記酸化珪素膜の夫々をパターンニングし、容量素子Cの電荷蓄積用絶縁膜17及び上部電極18の夫々を形成する。

【0035】次に、例えば、CVD法で酸化珪素膜を堆積し、層間絶縁膜20を形成する。次に、例えば、CVD法でBPSG膜を堆積し、層間絶縁膜21を形成する。次に、これらの層間絶縁膜20、21の膜厚の一部を、等方性エッチングで除去し、凹部22を形成する。この後、これらの層間絶縁膜20、21の夫々の膜厚の残部を異方性エッチングで除去し、前記nチャネルMISFETQnのn+型半導体領域14及び前記pチャネルMISFETQpのp+型半導体領域15の夫々の表面を露出する接続孔23を形成する。前記凹部22と接続孔23の夫々は、同一のエッチングマスクを用いて形成される。前記凹部22を形成することにより、接続孔

(5)

7

23の端部の段差を低減することができる。次に、例えば、アルミニウム膜またはアルミニウム合金膜を形成する。この際、前記接続孔23の端部の段差が低減されていることにより、アルミニウム膜またはアルミニウム合金膜の被覆率を向上できるので、半導体集積回路装置の歩留りを向上できる。この後、このアルミニウム膜またはアルミニウム合金膜をパターンニングし、図3に示すように、nチャネルMISFETQn及びpチャネルMISFETQpの夫々の電極25を形成する。この電極25は、前記接続孔23を通して、前記n型半導体領域14、p型半導体領域15に接続される。また、この工程で、同図3の左側に示すように、周辺回路部の層間絶縁膜21上に、第1層目の配線25が形成される。

【0036】次に、前記電極または配線25の上層に、例えば、プラズマCVD法で窒化珪素膜27を堆積する。この窒化珪素膜27の下層には、前記転送用MISFETQt、nチャネルMISFETQn、pチャネルMISFETQp、電極または配線25の夫々が形成されているので、この窒化珪素膜27の表面には、これらの素子、電極または配線25の表面形状に対応した段差が形成されている。

【0037】次に、例えば、SOG膜28を塗布する。このSOG膜28を塗布することにより、前記窒化珪素膜27の表面段差内は、このSOG膜28で埋込まれる。次に、例えば、フォトリソ膜を塗布した後、異方性エッチングでこれらのフォトリソ膜及びSOG膜28の夫々をエッチング（エッチングバック）する。この後、フォトリソ膜を除去する。この工程により、SOG膜28の表面が平坦化される。このため、窒化珪素膜27の表面段差が大きい領域ではSOG膜28の膜厚は厚く、窒化珪素膜27の表面段差が小さい領域ではSOG膜28の膜厚は薄く形成される。

【0038】次に、例えば、CVD法で酸化珪素膜29を堆積することにより、図4に示すように、層間絶縁膜30が形成される。

【0039】次に、図5に示すように、フォトリソ膜31をマスクとして、メモリセルアレイ部及び直接周辺回路部の電極25上の層間絶縁膜30の膜厚の一部を、等方性エッチングで除去し、凹部32を形成する。凹部32を形成する領域は、第1層目の配線または電極25上のSOG膜28の膜厚が厚い領域、すなわち、前記窒化珪素膜27の表面段差が大きい領域である。この後、前記フォトリソ膜31を除去する。このように、電極25上の層間絶縁膜30の膜厚の一部を等方性エッチングで除去したことにより、電極25上の層間絶縁膜30の膜厚を、間接周辺回路部の第1層目の配線25上の層間絶縁膜30の膜厚に近づけることができる。

【0040】次に、図6に示すように、フォトリソ膜33をマスクとして、前記間接周辺回路部の第1層目の配線25上の層間絶縁膜30の全部、メモリセルア

8

レイ部及び直接周辺回路部の電極25上の層間絶縁膜30の膜厚の残部を異方性エッチングで除去し、前記配線または電極25の表面を露出する接続孔34を形成する。この後、前記フォトリソ膜33を除去する。ここで、前述したように、前記SOG膜28の膜厚が厚い領域では、層間絶縁膜30の膜厚の一部を等方性エッチングで除去したことにより、層間絶縁膜30の膜厚が均等化されているので、接続孔34の深さは均等化される。従って、接続孔34を形成する際の加工マージンを拡大できるので、半導体集積回路装置の製造方法において、歩留りを向上できる。

【0041】次に、例えば、アルミニウム膜を形成後パターンニングし、前記図1に示すように、第2層目の配線36を形成する。この配線36は、前記接続孔34を通して、前記電極または配線25に電氣的に接続される。前記層間絶縁膜30の膜厚の一部を等方性エッチングで除去し、凹部32を形成したことにより、前記接続孔34の端部の段差は低減されているので、配線36の被覆率を向上できる。これにより、半導体集積回路装置の歩留りを向上できる。

【0042】なお、本実施例では、層間絶縁膜30を形成した後、この層間絶縁膜30の膜厚の一部を等方性エッチングで除去する例を示したが、前記SOG膜28を塗布する工程の後、メモリセルアレイ部及び直接周辺回路部の電極25上のSOG膜28の膜厚の一部を等方性エッチングで除去し、凹部を形成するようにしても良い。この場合には、まず、SOG膜28を塗布する。次に、SOG膜28に凹部を形成する。次に、フォトリソ膜を塗布する。次に、これらのフォトリソ膜及びSOG膜28の夫々を、異方性エッチングで均等にエッチングする。次に、フォトリソ膜を除去する。次に、前記酸化珪素膜29を堆積し層間絶縁膜30を形成する。この後、前記図6に示す工程以後を行えば良い。

【0043】〔実施例2〕本発明の実施例2の半導体集積回路装置の製造方法は、前記実施例1の半導体集積回路装置の製造方法において、前記SOG膜28が厚く形成される領域の電極25上に、予め、アルミニウム膜またはアルミニウム合金膜を形成しておき、この後、前記層間絶縁膜30を形成するものである。この構成によれば、電極25上に形成したアルミニウム膜の膜厚に相当する分、前記SOG膜28の膜厚が薄くなるので、メモリセルアレイ部及び直接周辺回路部の電極25上の層間絶縁膜30、間接周辺回路部の第1層目の配線25上の層間絶縁膜30の夫々の厚みを均等化し、接続孔34を形成する際の加工マージンを拡大できる。これより、前記実施例1と同様に、半導体集積回路装置の製造方法において、歩留りを向上できる。本実施例2の製造方法では、前記図5に示す工程すなわち凹部32を形成する工程を省略できる。なお、前記電極25上には、アルミニ

(6)

9

ウム膜またはアルミニウム合金膜以外の導電膜を形成しても良い。

【0044】以上、本発明を実施例にもとづき具体的に説明したが、本発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【0045】例えば、前記実施例1乃至実施例3では、DRAMのメモリセルを有する半導体集積回路装置を示したが、本発明は、他のメモリセル例えばSRAM、EPROM、EEPROM等のメモリセルを有する半導体集積回路装置の製造方法、または、論理回路を有する半導体集積回路装置の製造方法に適用できる。

【0046】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

【0047】半導体集積回路装置の製造方法において、歩留りを向上できる。

【図面の簡単な説明】

【図1】本発明の実施例1の半導体集積回路装置の要部断面図。

10

【図2】前記図1に示す領域を工程毎に示す要部断面図。

【図3】前記図1に示す領域を工程毎に示す要部断面図。

【図4】前記図1に示す領域を工程毎に示す要部断面図。

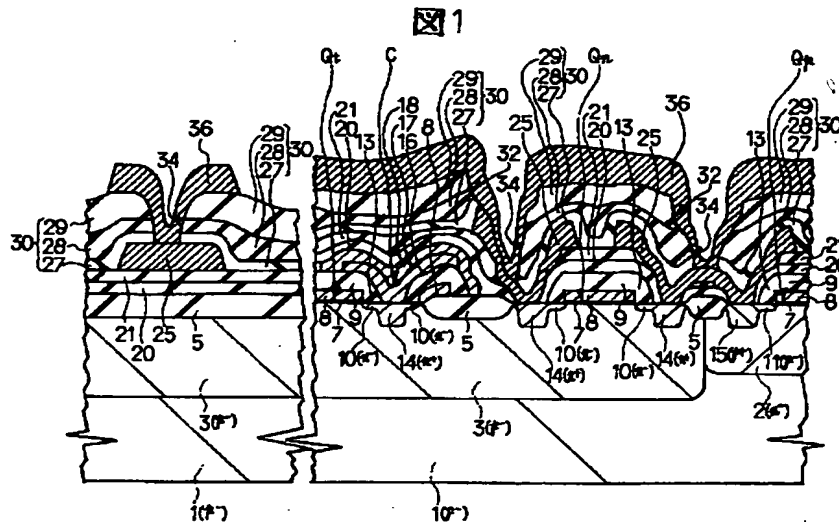
【図5】前記図1に示す領域を工程毎に示す要部断面図。

【図6】前記図1に示す領域を工程毎に示す要部断面図。

【符号の説明】

1…p-型半導体基板、2…n-型ウェル領域、3…p-型ウェル領域、5…素子間分離絶縁膜、7…ゲート絶縁膜、8…ゲート電極、9…絶縁膜、10…n-型半導体領域、11…p-型半導体領域、13…サイドウォールスペーサ、14…n+型半導体領域、15…p+型半導体領域、16…下部電極、17…電荷蓄積用絶縁膜、18…上部電極、20, 21, 30…層間絶縁膜、25…電極、第1層目の配線、27…窒化珪素膜、28…SOG膜、29…酸化珪素膜、32…凹部、34…接続孔、36…第2層目の配線。

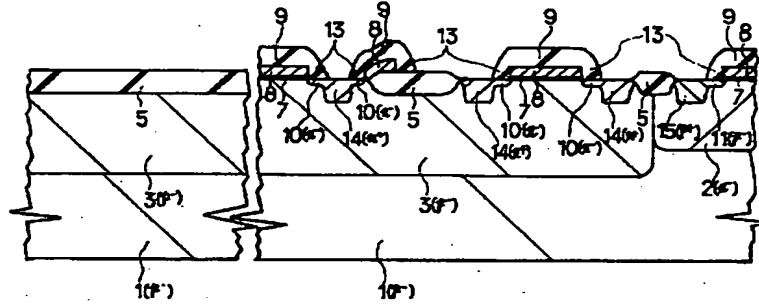
【図1】



(7)

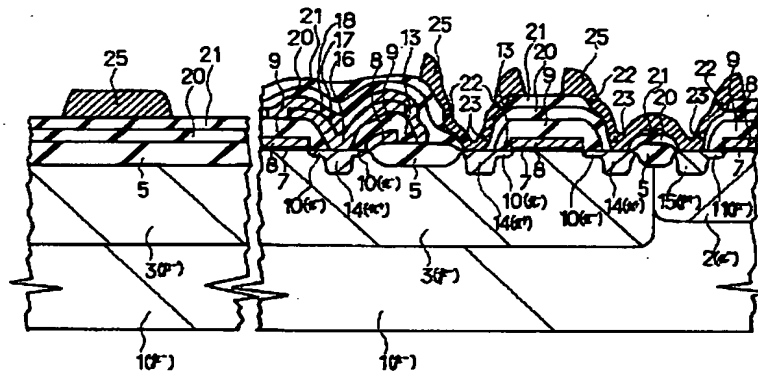
【図2】

図2



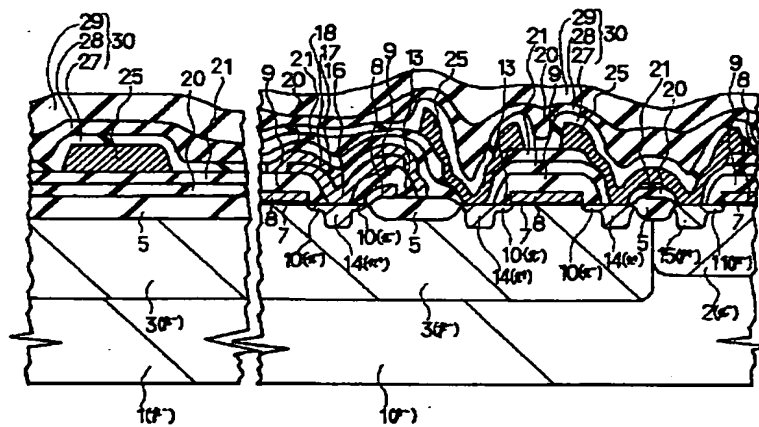
【図3】

図3



【図4】

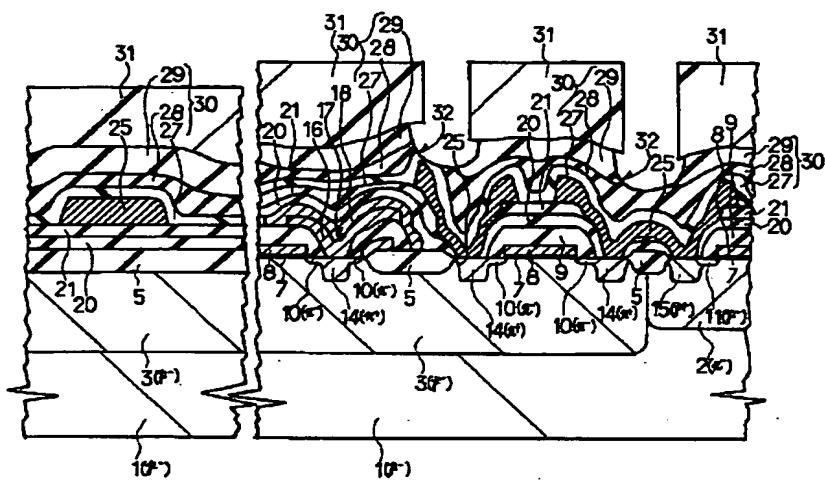
図4



(8)

【図 5】

图5



【図 6】

Figure 6 shows a schematic diagram of a rectangular structure. It consists of a central vertical line and a horizontal line intersecting it. The structure is labeled with 'a' and 'b' dimensions. The central vertical line is labeled 'c' and the horizontal line is labeled 'd'.

